

COMPOUND SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication number: JP5055552

Publication date: 1993-03-05

Inventor: TERANO AKIHISA; TAKATANI SHINICHIRO

Applicant: HITACHI LTD

Classification:

- International: H01L29/872; H01L21/338; H01L29/47; H01L29/812;
H01L21/02; H01L29/40; H01L29/66; (IPC1-7):
H01L21/338; H01L29/48; H01L29/812

- European:

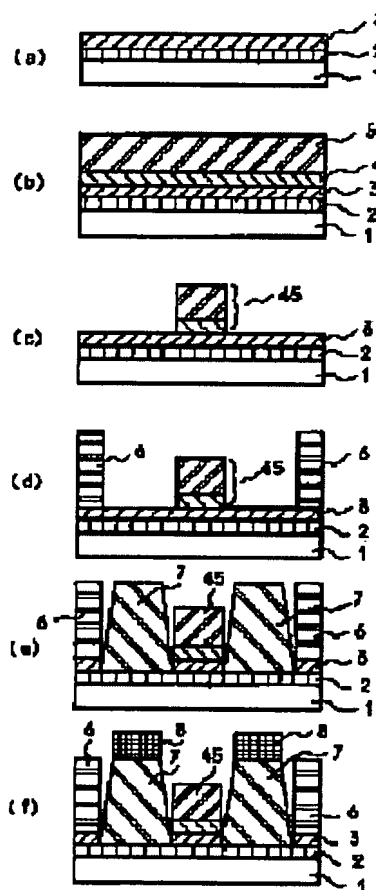
Application number: JP19910215030 19910827

Priority number(s): JP19910215030 19910827

Report a data error here

Abstract of JP5055552

PURPOSE:To obtain a high-speed element having high heat resistance, low gate resistance and small diversity of performance with good reproducibility by providing a first layer of a boric acid layer and a second layer of an electrode having a construction of a high fusible metal layer. **CONSTITUTION:**An n-type GaAs layer 2 and an AlGaAs layer 3 are epitaxially grown in order on a semiinsulating GaAs substrate 1. Next, boron is deposited as a Schottky gate metal followed by depositing Mo 5. Next, the gate metal layer is fine-processed so as to detect a gate electrode 45. Next, an SiO₂ film 6 is formed, a photoresist pattern is formed in a desired position on the SiO₂ film 6 and the SiO₂ film of an opening part is removed. Next, an opening part is etched having the gate electrode 45 and the SiO₂ film 6 as masks so as to remove an AlGaAs layer 3. Continuously, an n-type GaAs layer 7 of low resistance is made to selectively grow having the gate electrode 45 and the SiO₂ film 6 as masks. Next, an AuGe group ohmic electrode 8 is formed at a desired position on the n-type GaAs layer.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-55552

(43) 公開日 平成5年(1993)3月5日

| | | | | |
|---------------------------|------|-----------|---------------|--------|
| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 29/48 | | H 7738-4M | | |
| 21/338 | | | | |
| 29/812 | | | | |
| | | 7739-4M | H 0 1 L 29/80 | F |

審査請求 未請求 請求項の数6(全4頁)

(21) 出願番号 特願平3-215030

(22) 出願日 平成3年(1991)8月27日

(71) 出願人 00005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 寺野 昭久

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 ▲高▼谷 信一郎

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

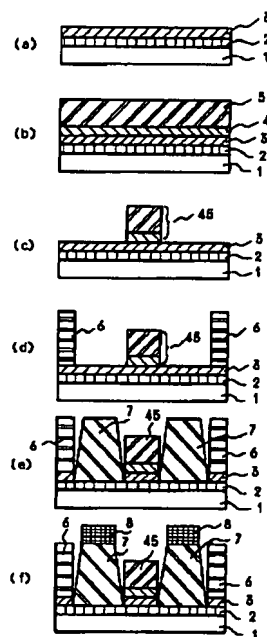
(54) 【発明の名称】 化合物半導体装置及びその製造方法

(57) 【要約】

【構成】化合物半導体に接して第一層に珪素層、第二層に高融点金属層という二層構造のショットキー電極を形成する。この時、第一層の珪素層は、電極形成時、或いは、その後の加熱工程において、第二層の高耐熱性金属、及び化合物半導体表面と反応することにより、化合物半導体表面が安定し、化合物半導体界面には第二層の金属の珪化物からなる安定した金属層が形成される。

【効果】ショットキー障壁が高く、熱処理による劣化もない良好なショットキー電極を得ることができる。

図 1



【特許請求の範囲】

【請求項1】化合物半導体に接する第一層に碲素層を設け、第一層に接する第二層に高融点金属層からなる構造の電極を設けたことを特徴とする化合物半導体装置。

【請求項2】請求項1において、前記高融点金属層がMo, W, Nb, Ta, Ti, V, Zr, Hfのうちいずれかの金属である化合物半導体装置。

【請求項3】化合物半導体に接する第一層に碲素層を堆積する工程と、前記第一層上に高融点金属層を堆積する工程を含むことを特徴とする化合物半導体装置の製造方法。

【請求項4】請求項3において、前記碲素層をその上層の前記高融点金属層、及び下部の前記化合物半導体と反応させる工程を含む化合物半導体装置の製造方法。

【請求項5】請求項3において、前記高融点金属層を所望のショットキーゲート電極に加工する工程と、前記ショットキーゲート電極をマスクとして不純物イオンを打ち込む工程、及び前記不純物イオンを活性化する熱処理工程を含む化合物半導体装置の製造方法。

【請求項6】請求項3において、前記高融点金属層を所望のショットキーゲート電極に加工する工程と、前記ショットキーゲート電極をマスクとして低抵抗半導体層を選択成長する工程を含む化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、化合物半導体上に高耐熱性のショットキー電極をもった化合物半導体装置及びその製造方法に関する。

【0002】

【従来の技術】例えば、GaAs MESFET (Metal Semiconductor FET) の場合、高耐熱性ゲートとして高融点金属シリサイド (特開昭57-113289号公報)、或いは、高融点金属窒化物 (特開昭58-135680号公報)、或いは、高融点金属碲化物 (特開昭61-152067号公報)などをショットキー電極として用いることが試みられていた。

【0003】

【発明が解決しようとする課題】高融点金属シリサイドや高融点金属窒化物とGaAsとのショットキー接合の耐熱性は、組成が変化することにより大きく変動することが知られている [「アプライド・フィジックス・レター (Appl. Phys. Lett) 43 (6) 1983, P. 600」, 「昭和60年度 第32回応用物理学関係連合講演会予稿集 P. 624」]。それに高融点金属シリサイドや、高融点金属窒化物を用いてショットキーダイオードを作成した場合、電子のショットキー障壁の高さ ϕ_B は0.7~0.75Vと低く、FETのゲート電極として用いる場合、ゲートリーク電流が大きくなる問題があった。また、FETの高速化のためには、ゲート電極の低抵抗化が必要であるが、例えば、スパッタ法により形

成したWSi膜の場合、 $100 \sim 200 \mu\Omega\text{cm}$ と高い。また、高融点金属碲化物の場合、結晶化すれば低抵抗となることが知られているが、通常の方法で得られた膜の結晶性は悪い。また、膜を熱処理して結晶化させる場合も、その結晶化温度が非常に高温で、例えば、タングステン (W) の碲化物 (WB) では結晶化温度が800℃以上と高温であるため、下地の化合物半導体層の熱劣化が問題となる。

【0004】本発明の目的は、従来の問題点を解決する新しい材料よりなるショットキー電極をもった化合物半導体装置、及び、その製造方法を提供することにある。

【0005】

【課題を解決するための手段】上記目的は、化合物半導体に接する第一層に碲素層を堆積し、該第一層に接する第二層にMo, W, Ta, V, Nb, Ti, Zr, Hf等の高融点金属層を堆積することにより形成された多層膜のショットキーゲート電極を用いることにより達成される。

【0006】

【作用】第一層の碲素は電極形成時、或いは、その後の加熱工程において第二層の高融点金属、及び化合物半導体表面と反応する。これにより化合物半導体表面の安定性が向上し、かつ、化合物半導体と接する界面には第二層の金属の碲化物からなる安定した金属層が形成される。これにより障壁が高く、かつ熱処理による劣化もない良好なショットキー接合が得られる。さらに、第二層の高融点金属層は、界面近傍の碲素との反応層を除くと、単体金属層のまま保存されるので低抵抗の電極が得られる図2は、本発明のショットキー電極の障壁高さ ϕ_B の熱処理温度依存性を示したものである。評価に用いたショットキーダイオードの作成方法は以下の通りである。

【0007】まず、n型GaAs基板の裏面全面にAuGe系オーミック電極を形成する。次いで基板表面上の第一層に、厚さ5nmの碲素と、続いて第二層に厚さ100nmのMoを電子ビーム蒸着法により連続的に蒸着する。引き続きこの金属層の加工を行ない、基板表面上にショットキー電極を形成することにより、ショットキーダイオードが完成する。

【0008】図中の黒丸はMo単層によるショットキー電極、白丸は本発明のショットキー電極である。図より、Mo単層をショットキー電極に用いたものの障壁高さは、300℃から急激に低くなる。一方、本発明のショットキー電極では、熱処理温度が高くなるにつれて、ショットキー障壁高さも高くなっていき、500℃では0.9Vという高い数値を示す。また、理想的なショットキー特性からのずれを示すn値は~1.2で、理想的な場合の値である1に近い数値を示した。これにより、500℃までは良好なショットキー接合が保たれていることがわかる。このように、障壁が高く耐熱性の良好な

ショットキー電極が得られることがわかる。

【0009】また、第一層の砷素層の膜厚は、厚すぎる場合には、反応していない砷素層が残るため良好なショットキー接合が得られなくなり、薄すぎる場合には、反応層自身も薄くなって耐熱性が悪くなる。このため、砷素層の膜厚は2~10nmであることが望ましい。

【0010】

【実施例】以下に、本発明の一実施例を図1により説明する。図1はGaAsFETの一例である、いわゆる、GaAsHIGFET (Heterostructure Insulated Gate FET) のショットキー電極に本発明を適用したときの工程図を示している。GaAsHIGFETは通常のMESFETのチャネル層とゲート電極の間にアンドープAlGaAs層を挿入したものである。この製造工程を以下に述べる。

【0011】(a) 半絶縁性GaAs基板1上に、チャネル層としてドーパントであるSiの濃度が 3.6×10^{18} 個/cm³であるn型GaAs層2、続いてアンドープのAlGaAs層3をいずれもMBE法によりエピタキシャル成長させる。

【0012】(b) 次に、基板上にショットキーゲート金属層として、電子ビーム真空蒸着法により砷素4を堆積し、引き続きMo5を堆積する。B層4とMo層5の膜厚は、それぞれ5nm、300nmである。また、堆積時の基板温度は、約100℃とする。

【0013】(c) 次に、ゲート金属層上にフォトレジストよりなる所望のゲートパターンを形成し、フォトレジストをマスクとしてドライエッチング法によりゲート金属層を微細加工し、ゲート電極45を形成する。ここでは、CF₄ガスを使用した反応性イオンエッチング法(RIE法)を用いた。その後、フォトレジストを除去する。

【0014】(d) 次に、CVD法によりSiO₂膜6を500nm堆積し、SiO₂膜6上の所望の位置にフォトレジストパターンを形成し、フォトレジストをマスクとして、C₂F₆とCHF₃の混合ガスを用いたドライエッチングにより、開口部のSiO₂膜6を除去する。その後、フォトレジストを除去する。

【0015】(e) 次に、ゲート電極45とSiO₂膜6をマスクとして、開口部をRIE法によりエッチングして、基板表面層であるアンドープのAlGaAs層3を除去する。続いてMOCVD法により、ゲート電極45とSiO₂膜6をマスクとして、基板上に低抵抗のn型GaAs層7を選択成長させる。ただし、ドーパントにはSiを用い、その濃度は 3.0×10^{18} 個/cm³とし、また、厚さは600nmとする。選択成長時の基板温度は550℃とする。

【0016】(f) 次に、n型GaAs層7上の所望の位置にソース、及びドレイン電極としてAuGe系オーミック電極8を形成することにより、GaAsHIGF

ETが完成する。

【0017】砷素は、電子ビーム蒸着法により容易に薄膜を形成することができ、基板へのダメージの少ない良好なショットキー接合が得られる。

【0018】Mo単層によるゲート電極を用いてGaAsHIGFETを作成した場合、ゲート電極に順方向バイアスを印加したときの動作限界が0.8Vだったのに対して、本実施例のように砷素層を界面に挿入した場合では1.0Vと向上した。さらに熱劣化による移動度の低下も無く、高速動作のFETを得ることができる。本実施例では、ゲート電極をマスクに使用し、低抵抗半導体層を選択成長するHIGFETの製造方法について説明したが、不純物をイオン打ち込みする製造方法に適用した場合でも、同様の効果が得られる。この場合、打ち込みイオンを活性化するための高温のアニールでも、熱劣化を起こさない良好なショットキー電極を得ることができる。また、本実施例はHIGFETについて説明したが、このほか通常のMESFETやHEMT(High Electron Mobility Transistor)等のゲート電極に用いた場合も同様である。

【0019】また、本実施例ではGaAsをチャネル層に用いた場合を述べたが、この他、InGaAs、InP等を使用しても良い。

【0020】本実施例では、ゲート金属の第二層にMoを用いた場合について述べたが、他の高融点金属W、Nb、Ta、V、Ti、Zr、Hf等を用いても良い。

【0021】本実施例では、電子ビーム蒸着法により金属層を堆積し、金属層を反応性イオンエッチング法により加工して、ゲート電極を形成した場合について述べたが、電子ビーム蒸着法でゲート金属層を堆積する場合であれば、リフトオフ法によってもゲート電極を形成することが可能である。また、ゲート金属の堆積法も、電子ビーム蒸着法だけではなく、スパッタ法、プラズマ分解法等の方法を用いても良い。

【0022】

【発明の効果】本発明によれば、化合物半導体上にショットキーゲート電極をもつ半導体装置において、高耐熱性で、ゲート抵抗が低く、性能のばらつきの小さい高速素子を再現性良く得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すGaAsHIGFETのゲート電極の工程図。

【図2】本発明を用いて作成したショットキーダイオードの、ショットキー障壁高さφBnの熱処理依存性を、Mo単層のショットキー電極を用いて作成した場合と比較して示した説明図。

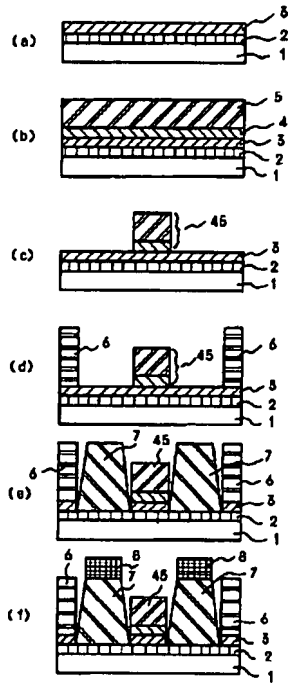
【符号の説明】

1…半絶縁性GaAs基板、2…n型GaAs層、3…AlGaAs層、4…砷素層、5…Mo層、6…SiO₂膜、7…n型GaAs選択成長層、8…オーミック電

極、45…ゲート電極。

【図1】

図 1



【図2】

図 2

